

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

FP-1089 US

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-306908

(43)Date of publication of application : 22.11.1996

(51)Int.Cl.

H01L 29/762

H01L 21/339

J1017 U.S. PTO

09/826002



(21)Application number : 07-110426

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 09.05.1995

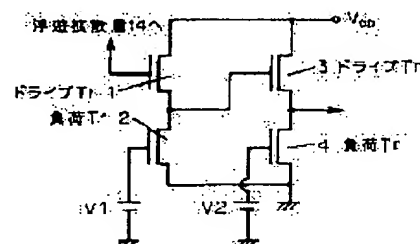
(72)Inventor : FUNAKOSHI HIROMASA

(54) CHARGE DETECTING ELEMENT

(57)Abstract:

PURPOSE: To provide a high S/N detecting element by suppressing the generation of the thermal noise.

CONSTITUTION: 1, and 3 are drive Trs, 2 and 4 are load Trs the first stage source follower circuit is composed of the drive Tr1 and the charge Tr2 while the second stage source follower circuit is composed of the drive Tr3 and the charge Tr4. On the other hand, the charges Tr2, 4 are respectively impressed with V1, and V2. In such a constitution, by impressing the charges 2, 4 with different voltages V1, V2, the gate capacity of the first source follower can be reduced while frequency characteristics of the second source follower can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平8-306908

(43)公開日 平成8年(1996)11月22日

(51)Int.Cl.⁶

識別記号

庁内整理番号

FI

技術表示箇所

H01L 29/762
21/339

H01L 29/76

301C

審査請求 未請求 請求項の数7 OL (全6頁)

(21)出願番号 特願平7-110426

(22)出願日 平成7年(1995)5月9日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 船越 裕正

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

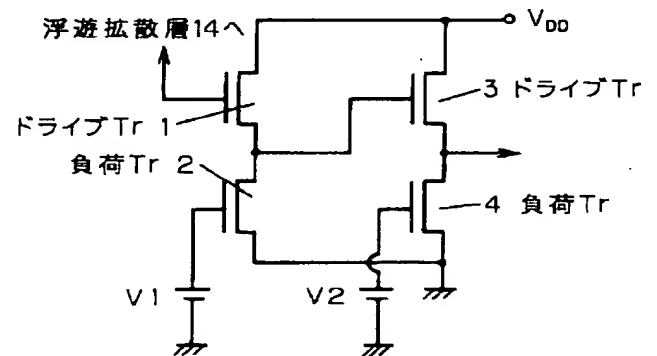
(74)代理人 弁理士 滝本 智之 (外1名)

(54)【発明の名称】 電荷検出装置

(57)【要約】

【目的】 CCDの電荷電圧変換を行うFDAでは、インピーダンス変換を行うためMOS(Tr)によるソースフォロワ回路を用いている。しかしながらノイズ除去回路によりリセットノイズが抑圧されてきたため、現状、MOS Trの熱ノイズが課題となってきた。本発明の目的は、熱ノイズの発生を抑圧することにより、高S/Nな電荷検出装置を提供することである。

【構成】 1、3はドライブTr、2、4は負荷Trであり、ドライブTr1と負荷Tr2によって初段ソースフォロワ回路が構成され、ドライブTr3と負荷Tr4によって2段目ソースフォロワ回路が構成されている。負荷Tr2、4には、それぞれV1、V2が印加されている。負荷Tr2、4に対して異なる電圧V1、V2を印加することで、初段ソースフォロワのゲート容量を小さくし熱ノイズ削減し、2段目ソースフォロワについては周波数特性向上が可能である。



【特許請求の範囲】

【請求項1】半導体基板上に形成された電荷転送手段と、前記電荷転送手段から転送されてくる信号電荷を電圧に変換する電荷電圧変換手段と、前記電荷電圧変換手段の出力を低インピーダンス化するとともに複数のソースフォロワから構成されるインピーダンス変換手段からなり、前記ソースフォロワ回路の少なくとも初段と2段目以降では異なる負荷トランジスタのゲート電圧であることを特徴とする電荷検出装置。

【請求項2】第1項記載の電荷検出装置であって、前記ソースフォロワ回路の初段と2段目以降が異なる電源電圧であることを特徴とする電荷検出装置。

【請求項3】半導体基板上に形成された電荷転送手段と、前記電荷転送手段から転送される信号電荷を排出するとともに埋め込み型トランジスタで構成されたリセット手段からなり、前記リセット手段へはマイナス電圧を供給することでオフ状態とすることを特徴とする電荷検出装置。

【請求項4】半導体基板上に形成された電荷転送手段と、前記電荷転送手段から転送される信号電荷を排出するとともにエンハンスメント型トランジスタで構成されたリセット手段からなることを特徴とする電荷検出装置。

【請求項5】信号電荷を電圧に変換する電荷電圧変換手段と、前記電荷電圧変換手段の電位を固定するリセットドレイン手段と、前記信号電荷をリセットドレイン手段に排出するリセット手段を有し、前記リセットドレイン手段には前記リセット手段よりも ΔT 遅延した信号で駆動されることを特徴とする電荷検出装置。

【請求項6】信号電荷を電圧に変換する電荷電圧変換手段と、前記信号電荷を排出するリセット手段を有し、前記リセット手段は前記電荷電圧変換手段とエミッタが共通であるバイポーラトランジスタで構成されることを特徴とする電荷検出装置。

【請求項7】第6項記載の電荷検出装置であって、前記リセット手段は前記電荷電圧変換手段とソース部が共通である接合型トランジスタで構成されることを特徴とする電荷検出装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は電荷結合素子（以下CCD）において、電荷電圧変換を行う電荷検出装置に関するものである。

【0002】

【従来の技術】CCDにおいては信号電荷を低雑音検出及び増幅することが要求され、代表的な電荷検出装置として、フローティング・ディフュージョン・アンプ（Floating Diffusion Amplifier 以下FDAと略記）があった。アール・シー・エー・レビュー36（1975年、9月）の566頁から593頁（RCA REVIEW 36(

SEPTEMBER, 1975)P.566-593)には、FDAの詳細な説明がなされている。図7に従来FDAを用いたCCDの全体図を示す。PD（フォトダイオード）90に入射した光子は、電荷に変換されPD90内に蓄積される。

【0003】一定時間後、信号電荷はVCCD91に読み出され、HCCD92を経てFDA93に入力され、電圧として検出される。FDA93は浮遊拡散層94、ソースフォロワ95から構成されている。浮遊拡散層94に寄生する容量Cによって信号電荷が電圧に変換され、ソースフォロワ95によってインピーダンス変換され外部に出力される。また浮遊拡散層94に一時的に蓄えられた信号電荷は、リセットゲート96に ϕR が印加されることにより、リセットドレイン97に排出される。

【0004】このようなFDA93では高感度に信号電荷を検出できるという長所を有していたものの、浮遊拡散層94においてリセットノイズが発生し、またソースフォロワ95にてアンプノイズが発生するという短所もあった。ノイズ量としてはリセットノイズが支配的であり、アンプノイズの約2~4倍である。このリセットノイズを抑圧するため、一般的にはCDS法（相関二重サンプリング）が用いられ、6dB以上のS/N向上が報告されていた。つまりFDAを電荷検出装置として用いたCCDでは、CDS法によってリセットノイズがほとんど抑圧され、アンプノイズが主となっている。

【0005】ところが、特開昭61-50365にも記載されているように、CDS法を用いることによってアンプノイズが折り返され、逆にノイズ抑圧効果を低下させるという事実があった。IDS法（積分型相関二重サンプリング、“CCD型撮像素子のノイズと低雑音信号読出し法”テレビジョン学会誌、Vol.39、No.12、1985）は、この折り返しを抑えることでS/N向上を図るものであった。

【0006】

【発明が解決しようとする課題】しかしながら、CCDには小型化が常に求められており、画素サイズはどんどん縮小されている。信号電荷量を確保するため、オンチップレンズなどの技術革新がなされてきたが、現状ではほとんど限界に達してきた。したがってCCDのS/Nを維持・向上させるには、ノイズ低減以外の方法はなく、アンプノイズ削減が最大の課題であった。一般的にアンプノイズは、ソースフォロワ95を構成しているMOSTランジスタ（以後、MOSTrと略記）の熱ノイズであり、ランダム・ノイズに分類されている。特に抵抗値に依存するノイズのため、初段であるTr98がノイズ源とみなされていた。したがってノイズ削減のためには、Trの低抵抗化を含めた性能向上（例えば薄膜化）以外に手法はなかった。

【0007】またリセットノイズは、リセットゲート96がオフする瞬間に熱ノイズを折り返すことにより発生

するものであり、オフ後にソースフォロワ 95 以外のノイズ混入はないものと考えられていた。しかしながら本出願人の実験及びシミュレーションによれば、オフ後も MOS Tr で構成されたリセットゲートは高抵抗であるため、熱ノイズ源となることが判明した。つまり熱ノイズ源としては、Tr 98 だけではなくリセットゲート 96 も含めて 2 種類が存在する。熱ノイズへのリセットゲートの影響度は、ゲート設計寸法・不純物濃度に依存するため定量的比較は難しいものの、本出願人の使用している素子ではほぼ 1 : 1 である。

【0008】本発明はかかる点に鑑み、ソースフォロワ及びリセットゲートで発生する熱ノイズを大幅に削減できる電荷検出装置の提供を目的とする。

【0009】

【課題を解決するための手段】本発明は上記課題を解決するため、次の各手段により達成される。まず、電荷電圧変換手段の出力を低インピーダンス化するとともに複数のソースフォロワから構成されるインピーダンス変換手段であって、前記ソースフォロワ回路の少なくとも初段と 2 段目以降では異なる負荷トランジスタのゲート電圧であることを特徴とする。

【0010】第 2 は、埋め込み型トランジスタで構成されたリセット手段からなり、前記リセット手段へはマイナス電圧を供給することでオフ状態とすることを特徴とする。

【0011】第 3 は、エンハンスメント型トランジスタで構成されたリセット手段を有することを特徴とする。

【0012】第 4 は、リセットドレイン手段と、リセット手段を有し、前記リセットドレイン手段には前記リセット手段よりも ΔT 遅延した信号で駆動されることを特徴とする。

【0013】第 5 は、電荷電圧変換手段と、リセット手段を有し、前記リセット手段は前記電荷電圧変換手段と一部が共通であるバイポーラトランジスタ、もしくは接合型トランジスタで構成されることを特徴とする。

【0014】

【作用】本発明は上記した電荷検出装置により、ソースフォロワ及びリセットゲートからの熱ノイズ発生を低減でき、またリセットゲートから発生した熱ノイズも通常の CDS 回路によりノイズ除去可能となる。

【0015】

【実施例】以下、本発明の電荷検出装置を図示・実施例にしたがって詳細に説明する。図 1 は本発明の第 1 の実施例におけるソースフォロワ構成図である。第 1 の実施例の特徴は、従来では複数の負荷 Tr ゲートに同一電圧を加えていたものを、別電圧を印加するようにしたことにある。1、3 はドライブ Tr、2、4 は負荷 Tr であり、ドライブ Tr 1 と負荷 Tr 2 によって初段ソースフォロワ回路が構成され、ドライブ Tr 3 と負荷 Tr 4 によって 2 段目ソースフォロワ回路が構成されている。負荷 Tr

Tr 2、4 には、それぞれ V1、V2 が印加されている。

【0016】一般的に熱ノイズ電圧を V_n 、ボルツマン定数を K 、温度を T 、Tr の抵抗値を R とした場合、

(数 1) の関係式が成り立つ。

【0017】

【数 1】

$$V_n^2 = 4 K T R$$

【0018】初段ソースフォロワの抵抗値は、2 段目以降のソースフォロワより 1 桁近く高くなっているため、熱ノイズについては初段ソースフォロワのみを考慮すれば良い。また信号電荷の電圧への変換効率は、浮遊拡散層 14 の PN 接合容量とドライブ Tr 1 のゲート容量等の和である C_T に依存する。容量 C_T が少ないほど変換効率が向上するため、ドライブ Tr 1 はどんどん縮小されてきた。その結果ドライブ Tr 1 の抵抗値は負荷 Tr 2 の数倍になっているが、熱ノイズを最小にするためには、ドライブ Tr 1 と負荷 Tr 2 の抵抗値を等しくする必要がある。

【0019】抵抗値を下げるにはソースフォロワに流す電流を多くすればよいが、逆にゲインを含めた周波数特性が劣化する。ソースフォロワの特性調整は、負荷 Tr に印加する電圧によって行っており、製造ばらつきによる特性差も同様の調整にてキャンセルしている。しかし初段ソースフォロワに求められるのは、ゲート容量を小さくすることと熱ノイズを下げることであり、2 段目ソースフォロワについてはそれらは求めらずにゲインを含めた周波数特性だけである。それぞれ目的が異なるため、負荷 Tr に同一の電圧を印加して調整するのでは最適化ができない。そこで第 1 の実施例では前述したように、負荷 Tr 2、4 に対して異なる電圧 V1、V2 を印加することが可能であり、各ソースフォロワの特性を最適化することができる。よって従来よりも熱ノイズを削減できる。

【0020】図 2 は本発明の第 2 の実施例におけるソースフォロワ構成図である。第 2 の実施例では負荷 Tr 6、8 のゲートに V5、V6 を印加するとともに、各ソースフォロワの電源電圧に V3、V4 を印加している。V3~V6 によって調整可能範囲が広がるため、各ソースフォロワの特性はより最適化できるため、従来問題であった熱ノイズ削減が可能である。なおリセットドレイン 17 に加える電圧は、初段ソースフォロワの電源電圧と等しいかそれ以下であればよい。図 2 のように共通化しても問題ない。

【0021】また第 1、第 2 の実施例ともに 2 段ソースフォロワで説明したが、3 段ソースフォロワでも同様の効果が得られるのは言うまでもない。その場合、2 段目以降のソースフォロワは周波数特性だけを考慮すればよい。負荷 Tr のゲート電圧は 2 段目と同一でもかまわない。また負荷 Tr については、エンハンスメント型のみで説明したが、ディプレッション型でも同様の効果

が得られるのは言うまでもない。

【0022】図3はリセットゲート周辺の断面図、図4は雑音スペクトルの説明図、図5はリセットパルス説明図である。図3において11、12はリセットゲート、13はリセットドレインである。図3、図4、図5を用いて、第3の実施例、第4の実施例、第5の実施例を順次説明する。図4(a)はCDS回路の周波数応答であり、サンプリング周波数を f_s に設定したものである。図4(a)から明らかなように、 f_s の n 倍毎に極となり、 f_s の $(m+1/2)$ 倍毎に最大値となる。この場合、CDS回路に入力されたノイズが $f_s/2$ 以上まで分布を持つならば、すべて $f_s/2$ 以下に折り返されてくる。図4(b)は、一般的な熱ノイズの周波数特性である。リセットゲートの抵抗値 R_r と浮遊拡散層14周辺の容量 C_r (第1の実施例にて説明)によって、ローパスフィルタ(以後LPF)が構成されており、カットオフ周波数が f_1 となる。

【0023】一般的なリセットパルスはDC電圧として3~5Vを用い、さらに振幅5V程度の矩形波を重ねたものである。つまりリセットゲート11がオフしても、DC電圧が加えられた状態であり高抵抗を有している。この時の抵抗値が R_r であり、図4(b)はリセットゲート11がオフ状態での熱ノイズ周波数特性である。この熱ノイズがソースフォロワ25の熱ノイズと加算され、CDS回路のサンプルホールド動作によって低域に折り返される。第3の実施例、第4の実施例の特徴は、リセットゲート11、12のオフ時抵抗値を大きくすることにある。図4(a)に示したように、 $f_s/2$ 以下では折り返しが発生しないばかりか、低域ほど減衰特性も大きくなる。したがってリセットゲート11、12のオフ時抵抗値を R_x に設定すれば、図4(c)のようにカットオフ周波数が f_2 になり、リセットゲートから発生する熱ノイズもほとんど除去可能である。

【0024】図3(a)は第3の実施例のリセットゲート周辺の断面図であり、リセットゲート11は埋め込みチャンネルで構成されたMOS Trである。図5(a)は、リセットゲート11に加えるパルスである。特徴としては、印加するDC電圧(ϕ_{RL})をマイナスにすることにある。リセット部Tr(リセットゲート11)は埋め込み(ディプレッション)型であるため、従来のようにDC電圧として3~5Vを加えたのではハイインピーダンスにならない。中途半端な抵抗値となるため、図4(b)のようなノイズ分布となる。ところが、図5(b)のようにマイナス電圧を加えた場合は、リセットTrはハイインピーダンスとなる。したがって、容量 C_r とで構成されるLPFは f_2 (図4(c))となり、CDS回路によって十分除去可能となる。

【0025】図3(b)は第4の実施例のリセットゲート周辺の断面図であり、リセットゲート12はエンハンスメント型のMOS Trである。図5(b)は、リセットゲ

ト12に加えるパルスである。第4の実施例の場合、リセットTrがエンハンスメント型であるため、DC電圧(ϕ_{RL2})を"0V"もしくはそれ以下に設定すればハイインピーダンスを実現できる。したがって第3の実施例と同様に、容量 C_r との間に構成されるLPFは f_2 となり、CDS回路によって十分除去可能となる。

【0026】図3(a)、図4(d)と図5(c)、(d)を用いて第5の実施例を説明する。図3(a)のリセットゲート11、リセットドレイン13に対し、図5(c)、(d)が印加される。図5(c)、(d)から明らかなように、リセットドレイン13にもパルスが加えられ、しかもリセットゲート11に対して ΔT だけの遅延がある。またリセットドレイン13の最低電位(RDL)は、リセットゲート11がオフした場合でも浮遊拡散層14に電荷が逆流しないレベルに設定する。さらに最高電位(RDH)はリセット動作が可能であり、ソースフォロワ25の電源電圧と同一かそれ以下であれば良い。このようなパルスを加えれば、リセットゲート11とリセットドレイン13の電位は常にほとんど等しくなり、リセットTrの抵抗値は非常に低くなる。この時の熱ノイズ分布は図4(d)になり、カットオフ周波数は f_3 まで伸びる。図4(a)に示したCDS回路の特性は高域になるほどゲインは低下している。例えば $f_s/2$ より、 $3f_s/2$ のゲインの方が低くなる($G_1 > G_2$)。第5の実施例では、周波数特性を従来よりもはるかに伸ばしたため高域側のノイズが減衰し、折り返しは発生するもののそのノイズ量は従来よりも減少する。

【0027】なお第3、第4、第5の実施例とも容量 C_r は一定であるため、図4(b)~(d)に示した台形状のノイズパワー積分値は一定になる。したがって図4(b)と(d)を比較すれば、 $f_1 < f_3$ であるためノイズパワー振幅は $P_1 > P_3$ となる。

【0028】図6(a)は本発明の第6の実施例におけるリセットゲート周辺の断面図である。第6の実施例の特徴は、リセットゲートをバイポーラTr20で構成し、エミッタ側を浮遊拡散層と兼ねることにある。バイポーラTr20のベースには、図5(b)に相当するリセットパルス(ϕ_R)を加えることで、浮遊拡散層15に一時的に蓄えられた信号電荷を排出する。バイポーラTr20は低抵抗であり、熱ノイズの折り返しであるリセットノイズが減少するばかりではなく、オフ時の熱ノイズも削減できる。したがって熱ノイズ分布は、図4(d)よりも高域まで伸びることになり、ノイズパワー振幅は P_3 よりも低下する。よって従来よりもノイズは減少する。

【0029】図6(b)は本発明の第7の実施例におけるリセットゲート周辺の断面図である。

【0030】第7の実施例はリセットゲートを接合型FET21で構成しソース側を浮遊拡散層16と兼ねることが特徴であり、従来よりも低抵抗になる。したがってリセットノイズが減少するばかりではなく、オフ時の熱

7

ノイズも削減できる。したがって第6の実施例と同様に、従来よりノイズは減少する。

【0031】

【発明の効果】以上説明したように本発明によれば、簡易な構成で熱ノイズ発生を低減でき、また発生した熱ノイズの大半も従来のCDS回路削減できる。したがって従来では熱ノイズによって限界とされていたS/N改善も、簡易な構成にて実現できるため実用上極めて有効である。

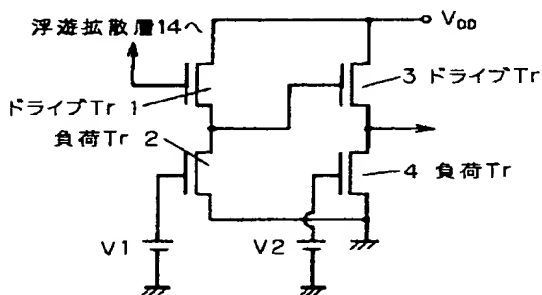
【図面の簡単な説明】

【図1】本発明の第1の実施例におけるソースフォロワ構成図

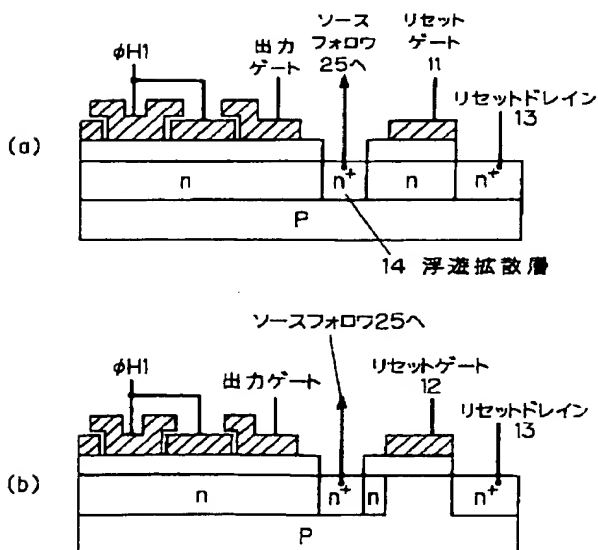
【図2】本発明の第2の実施例におけるソースフォロワ構成図

【図3】リセットゲート周辺の断面図

【図1】



【図3】



8.

【図4】雑音スペクトルの説明図

【図5】リセットパルス説明図

【図6】(a)は本発明の第6の実施例におけるリセットゲート周辺の断面図

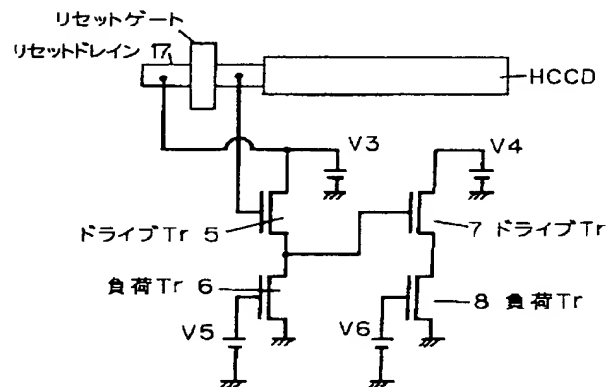
(b)は本発明の第7の実施例におけるリセットゲート周辺の断面図

【図7】従来FDAを用いたCCDの全体図

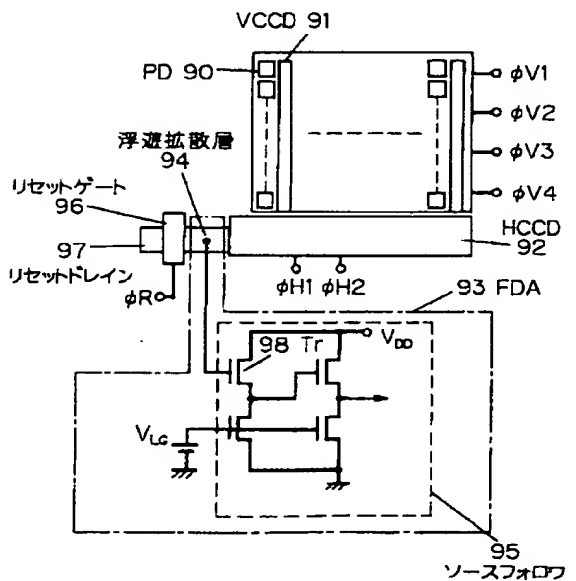
【符号の説明】

- 1、3、5、7 ドライブTr
2、4、6、8 負荷Tr
11、12、96 リセットゲート
13、17、97 リセットドレイン
14、15、16 浮遊拡散層
25、95 ソースフォロワ
20 バイポーラTr

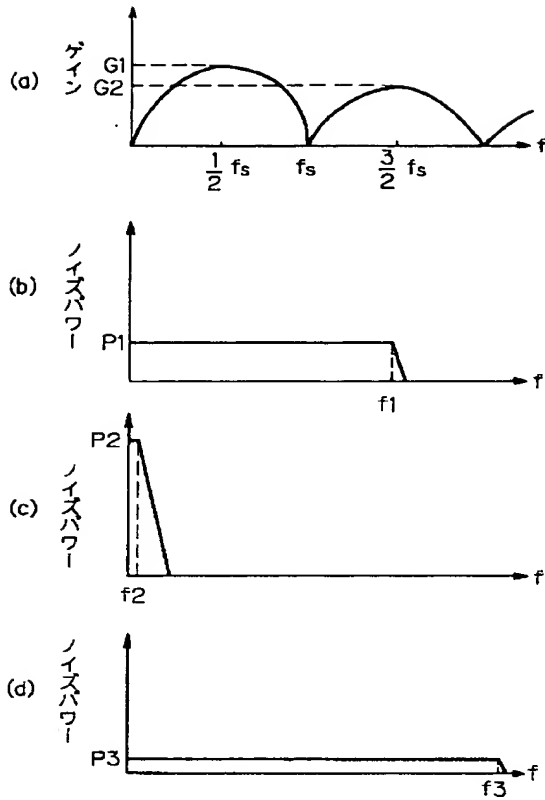
【図2】



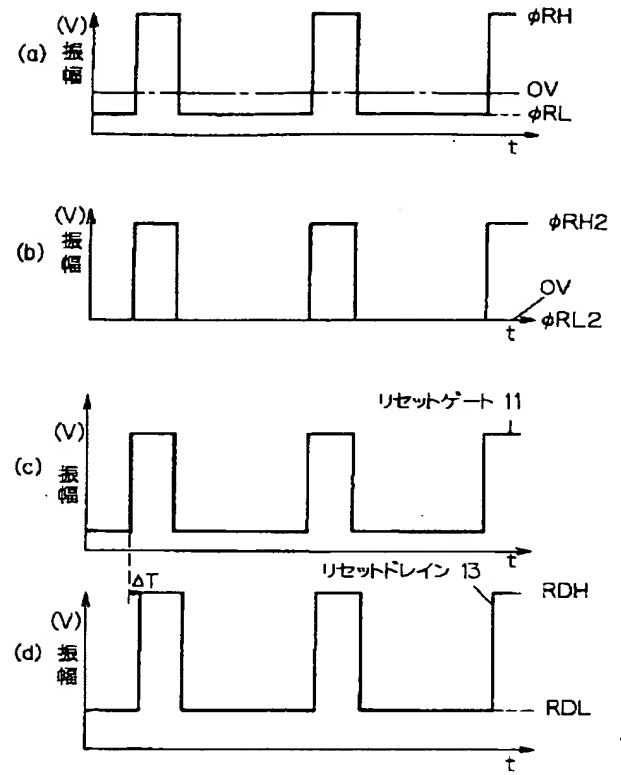
【図7】



【図4】



【図5】



【図6】

